



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) **EP 1 162 663 A2**

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
12.12.2001 Patentblatt 2001/50

(51) Int Cl.7: **H01L 27/108, H01L 21/8242**

(21) Anmeldenummer: **01112934.3**

(22) Anmeldetag: **06.06.2001**

(84) Benannte Vertragsstaaten:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR**
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(72) Erfinder:
• **Hofmann, Franz, Dr.**
80995 München (DE)
• **Schloesser, Till, Dr.**
01109 Dresden (DE)

(30) Priorität: **06.06.2000 DE 10028424**

(74) Vertreter: **Reinhard - Skuhra - Weise & Partner**
Friedrichstrasse 31
80801 München (DE)

(71) Anmelder: **Infineon Technologies AG**
81669 München (DE)

(54) **DRAM-Speicherzelle und deren Herstellungsverfahren**

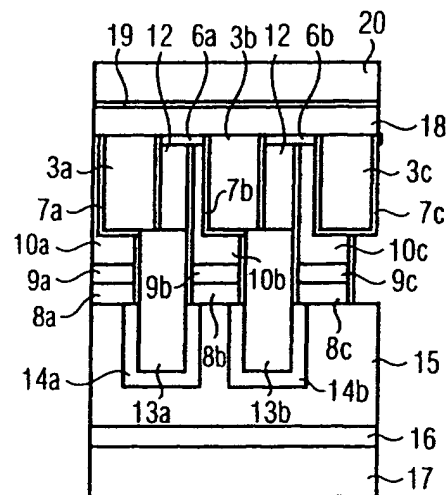
(57) DRAM-Speicherzelle für einen DRAM-Speicher mit:

einem MOSFET-Auswahltransistor, der einen Drainbereich und einen Sourcebereich in einer Halbleiter-Substratsäule (3) aufweist, wobei zwischen dem Drain- und Sourcebereich ein in Vertikalrichtung verlaufender Stromkanal vorgesehen ist, der durch eine Steuergate-Elektrode (10) ansteuerbar ist;

einem unter dem MOSFET-Auswahltransistor gestapelten Kondensator, der mit dem Sourcebereich in der Halbleiter-Substratsäule (3) elektrisch verbunden ist;

einer über dem MOSFET-Auswahltransistor liegenden Metall-Bitleitung (20), die mit dem Drainbereich in der Halbleiter-Substratsäule (3) elektrisch verbunden ist, wobei eine Metall-Wortleitung (9), die die Steuergate-Elektrode (10) des MOSFET-Auswahltransistors direkt elektrisch kontaktiert, wobei die Metall-Wortleitung (9) zu der Metall-Bitleitung (20), die den Drainbereich der Halbleiter-Substratsäule (3) selbstjustierend direkt elektrisch kontaktiert, senkrecht verläuft.

FIG 2E



EP 1 162 663 A2

Beschreibung

[0001] DRAM-Speicherzelle für DRAM-Speichervorrichtung und deren Herstellungsverfahren

[0002] Die Erfindung betrifft eine DRAM-Speicherzelle für eine DRAM-Speichervorrichtung sowie ein Verfahren zu deren Herstellung, wobei die DRAM-Speicherzelle eine hohe Auslese- und Abspeichergeschwindigkeit besitzt.

[0003] Ein DRAM-Speicher ist ein dynamischer Halbleiterspeicher, der als Speicherzelle in der Speichermatrix eine Speicherkapazität enthält, die über einen Auswahltransistor an eine Bitleitung angeschlossen werden kann. Wird eine Wortleitung WL auf einen hohen Spannungspegel gelegt, so öffnet sich der Auswahltransistor, und die Speicherkapazität wird an die Bitleitung BL geschaltet. In diesem Zustand kann die Speicherzelle beschrieben werden, indem die Kapazität entsprechend dem gewünschten Speichereinheit entladen oder geladen wird. Fig. 1 zeigt den Aufbau einer typischen DRAM-Speicherzelle nach dem Stand der Technik.

[0004] Um einen höheren Integrationsgrad von Speicherzellen auf einem Halbleitersubstrat zu erreichen, werden zunehmend Strukturen mit vertikal angeordneten Auswahltransistoren vorgeschlagen.

[0005] Die US 5,612,559 beschreibt eine Halbleitervorrichtung mit einer Vielzahl von Speicherzellen. Jede Speicherzelle weist dabei einen säulenförmigen, vertikal angeordneten Auswahltransistor auf, der einen Drainbereich und einen Sourcebereich in einer Halbleiter-Substratsäule enthält, wobei zwischen dem Drain- und dem Sourcebereich ein ebenfalls in Vertikalrichtung verlaufender Stromkanal verläuft, der durch eine Steuergate-Elektrode gesteuert wird, die die Halbleiter-Substratsäule getrennt durch eine Oxidschicht vollständig umschliesst. Die dabei ausgebildete Steuergate-Elektrode wird durch Rückkätzen einer leitenden Schicht, die beispielsweise aus dotiertem Polysilizium besteht, gebildet. Die Steuergate-Elektroden verschiedener Speicherzellen sind elektrisch miteinander verbunden und bilden die Wortleitung zur Ansteuerung des Auswahltransistors.

[0006] Die in der US 5,612,599 beschriebene Speicherzelle weist den Nachteil auf, dass die Lese- und Speichergeschwindigkeit eines DRAM-Speichers, der aus derartigen Speicherzellen aufgebaut wird, sehr niedrig ist. Die aus dem abgeschiedenen Polysilizium gebildete Wortleitung der in der US 5,612,599 beschriebenen Speichervorrichtung weist einen hohen elektrischen Widerstand aufgrund der Materialeigenschaft von Polysilizium auf. Darüber hinaus ist der Querschnitt der aus Polysilizium gebildeten Wortleitung im Bereich der umschlossenen Halbleiter-Substratsäulen sehr gering. Der geringe Querschnitt der Wortleitung hat ebenfalls eine Erhöhung des elektrischen Widerstandes der Wortleitung zur Folge. Da bei einem typischen DRAM-Speicher mindestens 500 Speicherzellen über eine Wortleitung miteinander verbunden sind, ergibt sich

durch die serielle Verbindung der Speicherzellen über die hochohmige Wortleitung insgesamt ein sehr hoher Widerstand. Durch den hohen Widerstand der Wortleitung kommt es zu hohen RC-Laufzeiten und somit niedrigen Lese- und Speichergeschwindigkeiten bei einem derartig aufgebauten DRAM-Speicher.

[0007] Ein weiterer Nachteil der in der US 5,612,599 beschriebenen Struktur besteht darin, dass der Auswahltransistor über Kontaktlöcher mit der Bitleitung verbunden ist. Die Herstellung derartiger Kontaktlöcher ist im Herstellungsverfahren relativ aufwendig und führt bei kleinen Strukturgrößen häufig zu Fehlkontaktierungen, die zu einem Ausfall von Speicherzellen oder sogar zu einem Ausfall des gesamten DRAM-Speichers führen.

[0008] Es ist daher die Aufgabe der vorliegenden Erfindung, eine DRAM-Speicherzelle für eine DRAM-Speichervorrichtung und ein Verfahren zu deren Herstellung zu schaffen, die einen hohen Integrationsgrad bei gleichzeitig einfachem Herstellungsprozess bietet und die eine hohe Lese- und Schreibgeschwindigkeit der DRAM-Speichervorrichtung gewährleistet.

[0009] Diese Aufgabe wird erfindungsgemäss durch eine DRAM-Speicherzelle mit den im Patentanspruch 1 angegebenen Merkmalen gelöst.

[0010] Die Erfindung schafft eine DRAM-Speicherzelle für eine DRAM-Speichervorrichtung mit

einem MOSFET-Auswahltransistor, der einen Drainbereich und einen Sourcebereich in einer Halbleiter-Substratsäule aufweist, wobei zwischen dem Drain- und dem Sourcebereich ein in Vertikalrichtung verlaufender Stromkanal vorgesehen ist, der durch eine Steuergate-Elektrode steuerbar ist, einem unter dem MOSFET-Auswahltransistor gestapelten Kondensator, der mit dem Sourcebereich in der Halbleiter-Substratsäule elektrisch verbunden ist, einer über dem MOSFET-Auswahltransistor gelegenen Metall-Bitleitung BL, die mit dem Drainbereich in der Halbleiter-Substratsäule elektrisch verbunden ist, wobei eine Metall-Wortleitung WL vorgesehen ist, die die Steuergate-Elektrode des MOSFET-Auswahltransistors direkt elektrisch kontaktiert und zu der Metall-Bitleitung, die den Drainbereich selbstjüsternd, elektrisch kontaktiert senkrecht verläuft.

[0011] Bei einer bevorzugten Ausführungsform weist die Metall-Wortleitung einen Querschnitt auf, der der minimalen lithographischen Strukturgrösse F entspricht.

[0012] Die Steuergate-Elektrode besteht vorzugsweise aus abgeschiedenem Polysilizium.

[0013] Bei einer weiteren bevorzugten Ausführungsform verläuft die Steuergate-Elektrode im wesentlichen parallel zu dem in der Halbleiter-Substratsäule befindlichen Stromkanal.

[0014] Zwischen der Steuergate-Elektrode und dem Stromkanal liegt vorzugsweise eine dielektrische

Schicht mit einer Dicke von 4 bis 7 nm.

[0015] Die Metall-Bitleitung besteht vorzugsweise aus einer strukturierten mehrlagigen Schicht, die eine Titannitridschicht, eine Wolframschicht und eine Polysiliziumschicht aufweist.

[0016] Der Kondensator ist vorzugsweise elektrisch an eine Gegenelektrode angeschlossen.

[0017] Die Metall-Bitleitung und die Gegenelektrode kontaktieren dabei die DRAM-Speicherzelle vorzugsweise von zwei einander gegenüberliegenden Seiten.

[0018] Bei einer bevorzugten Ausführungsform der erfindungsgemässen DRAM-Speicherzelle ist der Kondensator mit dem Sourcebereich über vertikal verlaufende Polysiliziumssäulen elektrisch verbunden.

[0019] Die Polysiliziumssäulen sind vorzugsweise von der Metall-Wortleitung durch eine vertikal verlaufende erste Isolierschicht elektrisch isoliert.

[0020] Bei einer weiteren bevorzugten Ausführungsform ist die Metall-Wortleitung durch eine zweite Isolierschicht von der Gegenelektrode elektrisch isoliert.

[0021] Vorzugsweise ist die Bitleitung der Steuergate-Elektrode über eine dritte Isolierschicht elektrisch isoliert.

[0022] Bei einer besonders bevorzugten Ausführungsform der erfindungsgemässen DRAM-Speicherzelle bestehen die Isolierschichten aus Siliziumnitrid.

[0023] Bei einer weiteren, besonders bevorzugten Ausführungsform weist der Kondensator eine dielektrische Schicht aus Tantalpentoxid auf.

[0024] Die Erfindung schafft ferner ein Verfahren zur Herstellung von DRAM-Speicherzellen für eine DRAM-Speichervorrichtung mit den folgenden Schritten:

Ausbilden von Halbleiter-Substratsäulen auf einer Hauptträger-Oxidschicht, die über einem Hauptträger-Halbleitersubstrat liegt,

Implantieren von Dotierungselementen zur Erzeugung eines Drain- und eines Sourcebereichs in den Halbleiter-Substratsäulen, thermisches Oxidieren der Halbleiter-Substratsäulen zur Erzeugung einer dielektrischen Gateoxidschicht,

Abscheiden einer Polysiliziumschicht, einer Metallschicht und einer Isolationsschicht auf der oxidierten Halbleiter-Substratsäule,

anisotropes, chemisch-selektives Trockenätzen der abgeschiedenen Schichten zur Erzeugung von Steuergate-Elektroden und von Metall-Wortleitungen,

Ausbilden von Polysiliziumssäulen zur elektrischen Kontaktierung der Sourcebereiche in den Halbleiter-Substratsäulen, Abscheiden einer dielektrischen Kondensatorschicht auf den ausgebildeten Polysiliziumssäulen,

Aufbringen einer Gegenelektrode auf der dielektrischen Kondensatorschicht,

Anbringen eines Hilfsträgersubstrats auf der Seite der Gegenelektrode,

Entfernen des Hauptträgersubstrats und der Haupt-

träger-Oxidschicht, und

Ausbilden einer strukturierten Metall-Bitleitung zur direkten elektrischen Kontaktierung der Drainbereiche in den Halbleiter-Substratsäulen.

[0025] Im weiteren werden bevorzugte Ausführungsformen der erfindungsgemässen DRAM-Speicherzelle sowie deren Herstellungsverfahren unter Bezugnahme auf die beigefügten Figuren beschrieben.

Es zeigen:

[0026]

Fig. 1 ein Schaltkreisdiagramm einer erfindungsgemässen DRAM-Speicherzelle;

Fig. 2a-2e Schnittansichten zur Darstellung verschiedener Prozessschritte bei der Herstellung der erfindungsgemässen DRAM-Speicherzelle;

Fig. 3a - 3d Draufsichten auf erfindungsgemäss hergestellte DRAM-Speicherzellen bei verschiedenen Prozessschritten des erfindungsgemässen Herstellungsverfahrens.

[0027] Im weiteren werden die einzelnen Prozessschritte zur Herstellung der erfindungsgemässen DRAM-Speicherzelle unter Bezugnahme auf die Fig. 2, 3 beschrieben.

[0028] Auf einem SOI-Wafer wird, wie in Fig. 2a erkennbar, zunächst eine Vielzahl von Halbleiter-Substratsäulen aufgebracht. Der SOI-Wafer weist eine Hauptträger-Oxidschicht 1 und eine Hauptträger-Substratschicht 2 auf. Die Hauptträger-Oxidschicht 1 besteht beispielsweise aus Siliziumdioxid und besitzt eine Dicke zwischen 0,5 und 2 μm . Die Hauptträger-Substratschicht 2 des SOI-Wafers besteht aus Bulk-Silizium und weist beispielsweise eine Dicke von etwa 0,4 mm auf. Über der Hauptträger-Oxidschicht 1 befindet sich eine Halbleiter-Substratschicht 3, die zunächst p-dotiert wird. Anschliessend wird die Halbleiter-Substratschicht 3 maskiert und zu Halbleiter-Substratschichten geätzt, die in Richtung der später ausgebildeten Bitleitungen 20 verlaufen. Die bei dem Ätzvorgang ausgebildeten Ätzgräben werden anschliessend mit einem Isolationsmaterial 4a, beispielsweise Siliziumdioxid, aufgefüllt. Nach einer weiteren Maskierung erfolgt eine anisotrope Trockenätzung, bei der in die freiliegenden, horizontal verlaufenden Halbleiter-Substratschichten gleichmässig beabstandete Ausnehmungen geätzt werden, die ihrerseits mit Siliziumdioxid 4b aufgefüllt werden. Auf diese Weise entstehend gleichmässig beabstandete Halbleiter-Substratsäulen 3a, 3b, 3c, die durch das aufgefüllte Isolationsmaterial 4b voneinander getrennt sind.

[0029] Fig. 2a zeigt die Struktur nach den oben genannten Prozessschritten, wobei die Fig. 2a eine Schnittansicht entlang der Linie I-I der in Fig. 3a dargestellten Draufsicht auf die Speicherzelle ist.

[0030] Nach Ausbildung der Halbleiter-Substratsäulen

len 3a, 3b, 3c werden diese thermisch zur Ausbildung einer strukturierten Opferoxidschicht (SAC-OX: Sacrificial Oxide) 5a, 5b, 5c bei 800-1000°C thermisch oxidiert. Fig. 2b zeigt die resultierende Struktur.

[0031] In einem weiteren Prozessschritt wird eine Siliziumnitridschicht in einem CVD-Prozess und eine chemisch-mechanische Planarisierung CMP durchgeführt. Zur Ausbildung eines Drainbereichs werden anschliessend Ionen in den oberen Bereich der Halbleiter-Substratsäulen 3a, 3b, 3c implantiert. Zur n⁺-Implantation können beispielsweise Arsenionen verwendet werden. Das nach dem chemisch-mechanischen Planarisierungsschritt CMP zwischen den Halbleiter-Substratsäulen 3a, 3b, 3c verbliebene abgeschiedene Siliziumnitrid wird in einem nächsten Schritt rückgeätzt, bis an den Grabenböden relativ dünne Siliziumnitridschichten 6a, 6b verbleiben. Die Opferoxidschicht 5a, 5b, 5c wird mit Flusssäure abgeätzt und die dadurch freiliegenden Halbleiter-Substratsäulen 3a, 3b, 3c thermisch zur Erzeugung einer strukturierten dielektrischen Gateoxidschicht 7a, 7b, 7c oxidiert. Die strukturierte Gateoxidschicht 7a, 7b, 7c weist vorzugsweise eine Dicke von 4-7 nm auf. Anschliessend wird die Gesamtstruktur mit einer Polysiliziumschicht überzogen, auf die eine Metallschicht aufgebracht wird. Auf die aufgebrachte Metallschicht wird ihrerseits eine Siliziumnitridschicht abgelagert. Die Metallschicht besteht beispielsweise aus Wolfram oder aus Wolframsilizid.

[0032] Nach streifenförmiger Maskierung werden die aufgebrachten Schichten in einem Ätzvorgang anisotrop chemisch-selektiv geätzt, bis die in Fig. 2c dargestellte Struktur erreicht ist. Man erkennt in Fig. 2c untereinander liegende Streifen, nämlich Siliziumnitridstreifen 8a, 8b, 8c, Metallstreifen 9a, 9b, 9c sowie darunterliegende Polysiliziumstreifen 10a, 10b, 10c. Fig. 2c stellt eine Schnittansicht entlang der Linie II-II bei der in Fig. 3b gezeigten Speicherzelle dar. Bei der in Fig. 2c dargestellten Struktur ist der Auswahl-MOSFET der später fertigen DRAM-Zelle bereits fertig ausgebildet.

[0033] Auf die in Fig. 2c dargestellte Struktur wird in einem CVD-Prozess Siliziumnitrid zur Ausbildung von Spacern abgeschieden, das anschliessend in einem anisotropen Trockenätzvorgang ausgesetzt wird. Es entstehen hierdurch die in Fig. 2d vertikal verlaufenden Siliziumnitrid-Spacer 11 zur elektrischen Isolierung der leitenden Streifen 8, 9, 10 voneinander. Die verbleibenden Ausnehmungen werden durch ein Oxid 12 aufgefüllt und die gesamte Struktur anschliessend planarisiert.

[0034] In einem weiteren Prozessschritt werden die Kontaktlöcher für die späteren Kondensatoren durch anisotropes Rückätzen gebildet und diese Kontaktlöcher mit Polysilizium aufgefüllt. Nach chemisch-mechanischer Planarisierung CMP und einem weiteren Rückätzschritt eines Fülloxids entstehen die in Fig. 2d dargestellten Polysiliziumssäulen 13a, 13b. Die Polysiliziumssäulen 13a, 13b sind dabei mit den Halbleiter-Substratsäulen 3a, 3b elektrisch verbunden. Fig. 2d stellt

eine Schnittansicht entlang der Linie III-III der in Fig. 3c gezeigten Draufsicht auf die Speicherzellen dar.

[0035] Die Polysiliziumssäulen 13a, 13b werden mit einer dielektrischen Schicht 14a, 14b überzogen, die beispielsweise aus Tantalpentoxid oder Siliziumnitrid besteht. Auf der strukturierten dielektrischen Schicht 14a, 14b wird in einem weiteren Schritt eine Polysiliziumschicht abgeschieden. Die abgeschiedene Polysiliziumschicht wird zur Ausbildung einer Gegenelektrode für den Kondensator im Zellenfeld strukturiert. Die strukturierte Gegenelektrode wird in einem weiteren Schritt mit einem Fülloxid aufgefüllt, woraufhin eine chemisch-mechanische Planarisierung CMP erfolgt. An das planarisierte Fülloxid 16 wird in einem Wafer-Bondingschritt ein Hilfsträgersubstrat 17 angebracht bzw. aufgeklebt. Dies geschieht durch Aufheizen der gegenüberliegenden Flächen und anschliessendes Zusammenfügen. Nach dem Zusammenfügen wird die Grenzfläche abgekühlt und für eine vorbestimmte Zeitdauer gewartet, bis eine unlösliche chemische Bindung zwischen dem planarisierten Oxid 16 und dem Hilfsträgersubstrat 17 entstanden ist.

[0036] Die Bearbeitung der entstandenen Struktur erfolgt für die weiteren Prozessschritte von der gegenüberliegenden Seite. Hierzu wird die gesamte Struktur "umgedreht" und die nunmehr oben liegende Hauptträger-Substratschicht 2 durch Nassätzen weggeätzt. Durch chemisch-mechanische Planarisierung CMP oder durch einen weiteren Ätzschritt wird ferner die Hauptträger-Oxidschicht 1 entfernt. In die nunmehr freiliegenden Oberflächen der Halbleiter-Substratsäulen 3a, 3b, 3c werden Ionen zur Ausbildung von Drainbereichen des Auswahl-MOSFET implantiert. Anschliessend wird die gesamte Struktur mit Polysilizium 18 überzogen. Darüber wird vorzugsweise eine Titannitridschicht 19 aufgebracht, die ihrerseits mit einer Metallschicht 20 aus Wolfram überzogen wird. Die Titannitrid-Zwischenschicht 19 dient der besseren Haftung der Metallschicht 20 auf dem Polysilizium 18. Die aufgebrachten Schichten 18, 19, 20 werden in einem weiteren Prozessschritt zur Ausbildung von Bitleitungen BL strukturiert.

[0037] Fig. 2e zeigt die fertige DRAM-Struktur nach Ausführung des erfindungsgemässen Herstellungsverfahrens. Fig. 3d zeigt eine Draufsicht nach Ausführung der Herstellungsschritte zur Ausbildung der erfindungsgemässen DRAM-Struktur.

[0038] Die Halbleiter-Substratsäulen 3a, 3b, 3c weisen jeweils einen vertikal verlaufenden Stromkanal auf, der getrennt durch das Gateoxid 7a, 7b, 7c durch Steuergate-Elektroden 10a, 10b, 10c elektrisch ansteuerbar ist. Bei der in Fig. 2e gezeigten Darstellung befindet sich der Drainbereich in den Halbleiter-Substratsäulen 3a, 3b, 3c jeweils oben und ist direkt mit der strukturierten Polysiliziumschicht 18 elektrisch verbunden. Der Sourcebereich des MOSFET-Auswahltransistors befindet sich bei der in Fig. 2e gezeigten Darstellung innerhalb der Halbleiter-Substratsäulen 3a, 3b, 3c jeweils un-

ten und ist direkt elektrisch mit den Polysiliziumssäulen 13a, 13b verbunden. Die unter den MOSFET-Auswahltransistoren gelegenen gestapelten Kondensatoren werden durch die Gegenelektrode 15 und die davon durch eine dielektrische Schicht 14a, 14b getrennt liegenden Polysiliziumstreifen 13a, 13b gebildet.

[0039] Wie man aus Fig. 2e erkennen kann, sind die Steuergate-Elektrodenbereiche 10a, 10b, 10c des MOSFET-Auswahltransistors direkt elektrisch mit den Wortleitungsstreifen 9a, 9b, 9c verbunden. Die Metall-Wortleitungen 9a, 9b, 9c bestehen dabei vorzugsweise aus Wolfram oder aus Wolframsilizid. Die Metall-Wortleitungen weisen daher einen sehr niedrigen elektrischen Widerstand zur Ansteuerung der Steuergate-Elektroden 10a, 10b, 10c auf. Dabei entspricht der Querschnitt der Metall-Wortleitungen 9a, 9b, 9c etwa der minimalen lithographischen Strukturgrösse F des Herstellungsprozesses und ist somit vergleichsweise gross. Dieser grosse Querschnitt senkt zusätzlich die Widerstandsleitfähigkeit der Metall-Wortleitungen 9a, 9b, 9c. Die Steuergate-Elektroden 10a, 10b, 10c verlaufen parallel zu dem jeweiligen, in der Halbleiter-Substratsäule 3a, 3b, 3c gelegenen stromleitenden Kanal des MOSFETs in vertikaler Richtung.

[0040] Die in der Schnittansicht in Fig. 2e dargestellten Wortleitungen 9a, 9b, 9c und die strukturierten Bitleitungen 20 verlaufen senkrecht zueinander. Wie man aus Fig. 2e weiter erkennen kann, sind die Bitleitungen 20 selbstjustierend direkt elektrisch mit den Drainbereichen der Halbleiter-Substratsäulen 3a, 3b, 3c verbunden, ohne dass hierfür Kontaktlöcher hergestellt werden müssen. Der Anschluss der Drainbereiche an die Bitleitungen 20 ist daher prozesstechnisch sehr einfach herstellbar.

[0041] Die in Fig. 2e dargestellte erfindungsgemässe DRAM-Speicherzelle bietet einen sehr hohen Integrationsgrad aufgrund der vertikal angeordneten Auswahl-MOSFETs und der darunter gestapelten Kondensatoren. Eine Speicherzelle weist in etwa die Grösse von $4 F^2$ auf, wobei die kleinste definierte lithographische Grösse $F < 0,2 \mu m$ ist. Der Herstellungsprozess zur Herstellung der erfindungsgemässen DRAM-Speicherzelle ist sehr einfach und weist insbesondere einen sehr einfachen Metallisierungsvorgang auf. Aufgrund der direkten Kontaktierung der Steuerelektrodenanschlüsse 10a, 10b, 10c der Auswahl-MOSFETs durch Metall-Wortleitungen 9a, 9b, 9c können die Steuerelektroden der Auswahl-MOSFETs über einen sehr geringen elektrischen Widerstand angesteuert werden. Hierdurch wird die RC-Laufzeit sehr gering, und die Auslese- und Schreibgeschwindigkeit zum Auslesen bzw. Beschreiben der erfindungsgemässen DRAM-Speicherzelle sind infolgedessen sehr hoch.

[0042] Bezugszeichenliste

1	Hauptträger-Oxidschicht
2	Hauptträger-Halbleitersubstrat
3a, 3b, 3c	Halbleiter-Substratsäulen

4a, 4b	Fülloxid
5a, 5b, 5c	Opferoxidschichten
6a, 6b,	Isolationsschichten
7a, 7b, 7c	dielektrische Gateoxidschichten
8a, 8b, 8c	Isolierschichten
9a, 9b, 9c	Metall-Wortleitungen
10a, 10b, 10c	Steuergate-Elektroden
11	Isolationsschicht
12	Fülloxid
13a, 13b	Polysiliziumssäulen
14a, 14b	dielektrische Kondensatorschichten
15	Gegenelektrode
16	Oxid
17	Hilfsträgersubstrat
18	strukturiertes Polysilizium
19	Zwischenschicht
20	strukturierte Bitleitung

20 Patentansprüche

1. DRAM-Speicherzelle für einen DRAM-Speicher mit:

- 25 einem MOSFET-Auswahltransistor, der einen Drainbereich und einen Sourcebereich in einer Halbleiter-Substratsäule (3) aufweist, wobei zwischen dem Drain- und Sourcebereich ein in Vertikalrichtung verlaufender Stromkanal vorgesehen ist, der durch eine Steuergate-Elektrode (10) ansteuerbar ist;
- 30 einem unter dem MOSFET-Auswahltransistor gestapelten Kondensator, der mit dem Sourcebereich in der Halbleiter-Substratsäule (3) elektrisch verbunden ist;
- 35 einer über dem MOSFET-Auswahltransistor liegenden Metall-Bitleitung (20), die mit dem Drainbereich in der Halbleiter-Substratsäule (3) elektrisch verbunden ist,
- 40

gekennzeichnet durch

- 45 eine Metall-Wortleitung (9), die die Steuergate-Elektrode (10) des MOSFET-Auswahltransistors direkt elektrisch kontaktiert, wobei die Metall-Wortleitung (9) zu der Metall-Bitleitung (20), die den Drainbereich der Halbleiter-Substratsäule (3) selbstjustierend direkt elektrisch kontaktiert, senkrecht verläuft.
- 50
- 55 2. DRAM-Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, dass die Metall-Wortleitung (9) einen Querschnitt aufweist, der etwa der minimalen lithographischen Strukturgrösse F entspricht.

3. DRAM-Speicherzelle nach Anspruch 1 oder 2, dadurch gekennzeichnet,

dass die Steuergate-Elektrode (9) aus abgeschiedenem Polysilizium besteht.

4. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass die Steuergate-Elektrode (9) parallel zu dem Stromkanal des MOSFET-Auswahltransistors verläuft.

5. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass zwischen der Steuergate-Elektrode (9) und dem Stromkanal eine dielektrische Schicht (7) mit einer Dicke von 4 bis 7 nm liegt.

6. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass die Metall-Bitleitung (20) eine strukturierte mehrlagige Schicht ist, die aus einer Titanitridschicht, einer Wolframnitridschicht und einer Polysiliziumschicht besteht.

7. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass der Kondensator elektrisch an eine Gegenelektrode (15) angeschlossen ist.

8. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass die Metall-Bitleitung (20) und die Gegenelektrode (15) die DRAM-Speicherzelle von einander gegenüberliegenden Seiten kontaktieren.

9. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass der Kondensator mit dem Sourcebereich der Halbleiter-Substratsäule (3) über eine vertikal verlaufende Polysiliziumssäule (13) elektrisch verbunden ist.

10. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass die Polysiliziumssäule (13) von der Metall-Wortleitung (9) durch eine vertikal angeordnete erste Isolierschicht (11) elektrisch isoliert ist.

11. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass die Metall-Wortleitung (9) durch eine zweite Isolierschicht (8) von der Gegenelektrode (15) elek-

trisch isoliert ist.

12. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass die Metall-Bitleitung (20) von der Steuergate-Elektrode (10) durch eine dritte Isolierschicht (6) elektrisch isoliert ist.

13. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass die Isolierschichten (6, 8, 11) aus Siliziumnitrid bestehen.

14. DRAM-Speicherzelle nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass der Kondensator eine dielektrische Schicht (14) aufweist, die aus Tantalpentoxid, Siliziumnitrid, Aluminiumoxid, Barium-, Strontium-, Titanat- oder Titandioxid besteht.

15. Verfahren zur Herstellung von DRAM-Speicherzellen für einen DRAM-Speicher mit den folgenden Schritten:

- (a) Ausbilden von Halbleiter-Substratsäulen (3a, 3b, 3c) auf einer Hauptträger-Oxidschicht (1), die über einer Hauptträger-Halbleiter-Substratschicht (2) liegt;
- (b) Implantieren von Dotierungionen zur Erzeugung eines Sourcebereichs in den Halbleiter-Substratsäulen (3a, 3b, 3c);
- (c) thermisches Oxidieren der Halbleiter-Substratsäulen (3a, 3b, 3c) zur Erzeugung dielektrischer Gateoxidschichten (7a, 7b, 7c);
- (d) Abscheiden einer Polysiliziumschicht, einer Metallschicht und einer Isolationsschicht auf den oxidierten Halbleiter-Substratsäulen (3a, 3b, 3c);
- (e) anisotropes, chemisches, selektives Trockenätzen der abgeschiedenen Schichten zur Erzeugung von Steuergate-Elektroden (10a, 10b, 10c) und von Metall-Wortleitungen 9a, 9b, 9c);
- (f) Ausbilden von Polysiliziumssäulen (13a, 13b) zur elektrischen Kontaktierung der Sourcebereiche in den Halbleiter-Substratsäulen (3a, 3b, 3c);
- (g) Abscheiden einer dielektrischen Kondensatorschicht (14a, 14b) auf den ausgebildeten Polysiliziumssäulen (13a, 13b);
- (h) Aufbringen einer Gegenelektrode (15) auf der dielektrischen Kondensatorschicht (14a, 14b);
- (i) Anbringen eines Hilfsträger-Substrats (17) auf der Seite der Gegenelektrode (15);

(j) Entfernen der Hauptträger-Substratschicht (2) und der Hauptträger-Oxidschicht (1);

(k) Implantieren von Dotierungsionen in die Halbleiter-Substratsäulen (3a, 3b, 3c) zur Erzeugung von Drainbereichen;

(l) Ausbilden einer strukturierten Metall-Bitleitung (20) zur direkten elektrischen Kontaktierung der gebildeten Drainbereiche in den Halbleiter-Substratsäulen (3a, 3b, 3c).

5

10

15

20

25

30

35

40

45

50

55

FIG 1

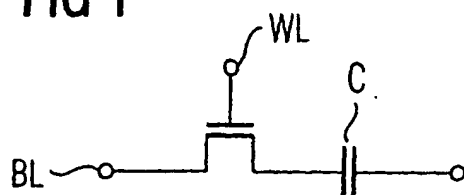


FIG 2A

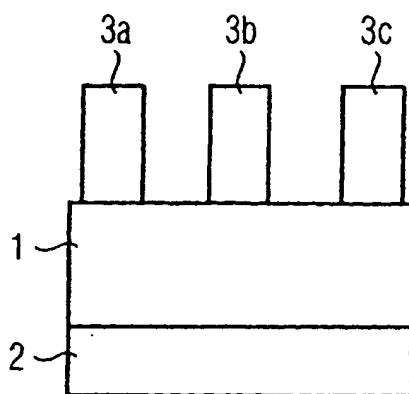


FIG 2B

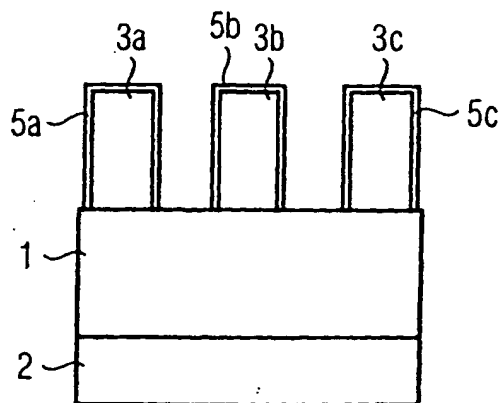


FIG 2C

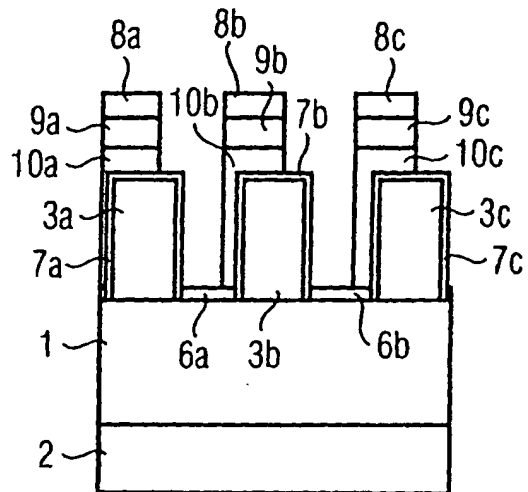


FIG 2D

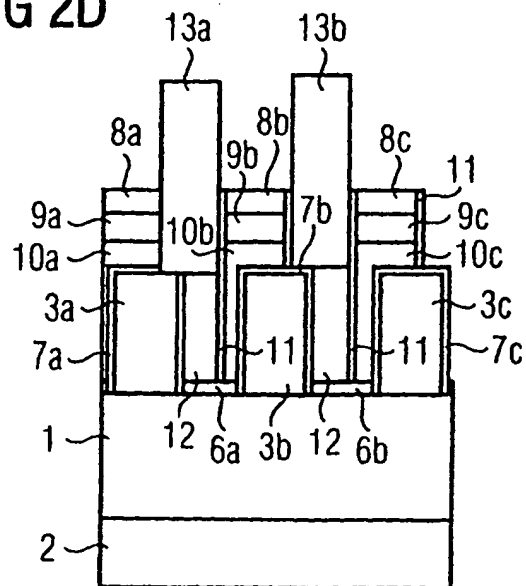


FIG 2E

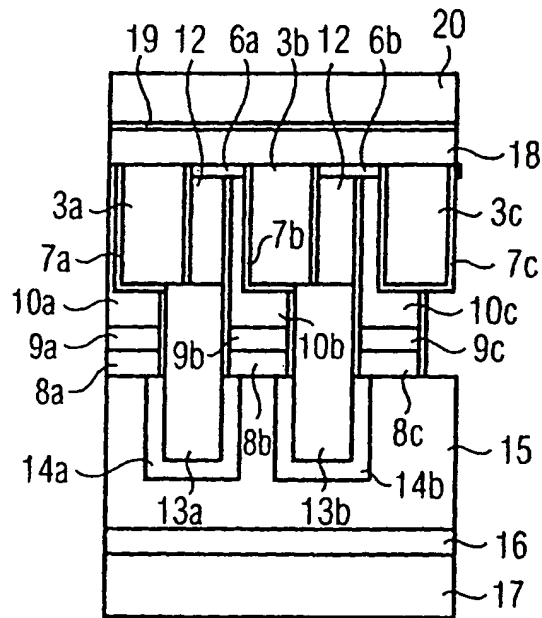


FIG 3A

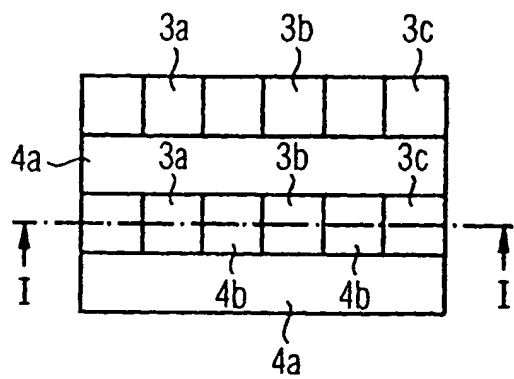


FIG 3B

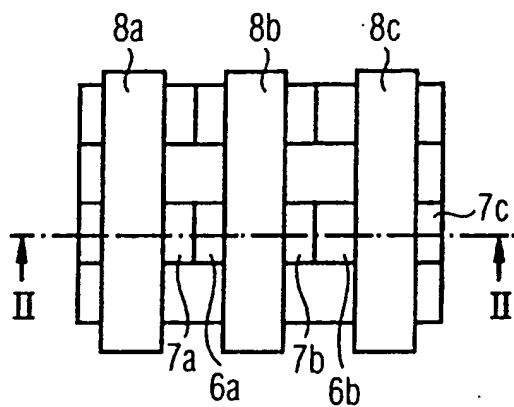


FIG 3C

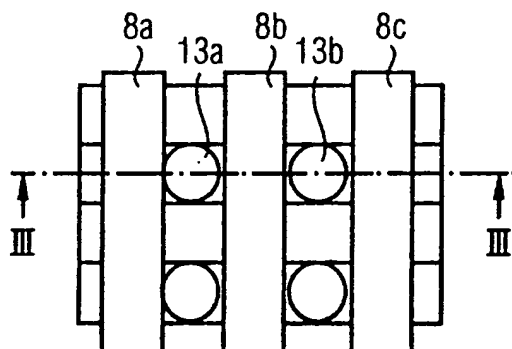


FIG 3D

